

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: **02033624 A**(43)Date of publication of
application: **02. 02 . 90**(51)Int. Cl. **G06F 5/00**(21)Application number: **63182819**(71)Applicant: **NEC CORP**(22)Date of filing: **23 . 07 . 88**(72)Inventor: **NAGASAWA TOSHIKATSU**

(54)HIGH-SPEED CODE CONVERTING SYSTEM

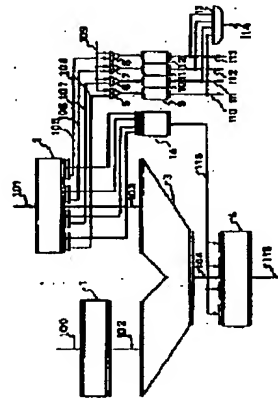
the flag is kept at 0. Then the code-converted outputs are stored in the register 4 for each byte.

(57)Abstract:

PURPOSE: To perform the conversion of codes at a high speed by converting an EBCDIC code into an ASCII code and vice versa in terms of hardware.

COPYRIGHT: (C)1990,JPO&Japio

CONSTITUTION: The 1st and 2nd operand registers 1 and 2 convert the ASCII codes into the EBCDIC codes and vice versa. An OR is calculated 3 between the outputs of both registers 1 and 2, and the output of this calculation is stored in a 3rd operand register 4. In the case the ASCII code is converted into the EBCDIC code by the third register 3, a flag is set at 1 only when the hexadecimal '30' is converted into '39'. While the flag is set at 1 only when the hexadecimal 'F0' is converted into 'F9' in the case the EBCDIC code is converted into the ASCII code. Then an address of a RAM 14 is selected by the byte of the corresponding register 2 when



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-33624

⑮ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)2月2日

G 06 F 5/00

Z

7230-5B

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 高速コード変換方式

⑯ 特 願 昭63-182819

⑰ 出 願 昭63(1988)7月23日

⑱ 発 明 者 長 澤 敏 勝 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 芦 田 坦 外2名

明 細 書

1. 発明の名称

高速コード変換方式

2. 特許請求の範囲

1. ASCIIコードをEBCDICコードに、あるいは、EBCDICコードをASCIIコードにコード変換するコード変換方式において、EBCDICコードに変換する場合は、16進数の“F0F0…F0”を設定し、ASCIIコードに変換する場合は、16進数の“3F3F…3F”が設定される第1のオペランドレジスタと；主記憶装置よりのコード変換すべきオペランドを格納する第2のオペランドレジスタと；EBCDICコードに変換する場合は、前記第1のオペランドレジスタの内容と前記第2のオペランドレジスタの内容との論理和を演算し、ASCIIコードに変換する場合は、前記第1のオペランドレジスタの内容と前記第2のオペランドレジスタの内容との論理積を演算する演算器と；該演算器の演算結果を

格納する第3のオペランドレジスタと；前記第2のオペランドレジスタの各バイトが10進数のデータかどうかを判断し、EBCDICコードに変換する場合には16進数の“30”から“39”の値のときのみ、前記バイトに対応したフラグを論理値“1”に設定し、ASCIIコードに変換する場合には16進数の“F0”から“F9”の値のときのみ、前記バイトに対応したフラグを論理値“1”に設定する手段と；ASCIIコードをEBCDICコードに変換するテーブル、又はEBCDICコードをASCIIコードに変換するテーブルを予め記憶しておくランダムアクセスメモリとを有し、前記フラグがどれか一つでも論理値“0”の場合、論理値“0”のフラグに対応した前記第2のオペランドレジスタのバイトにより、前記ランダムアクセスメモリのアドレスを選択してコード変換した出力をバイト単位で前記第3のオペランドレジスタに格納することを特徴とする高速コード変換方式。

以下余白

3 発明の詳細な説明

〔産業上の利用分野〕

本発明は ASCII (American Standard Code for Information Interchange) コードを EBCDIC (extended binary coded decimal interchange code) コードに、又は EBCDIC コードを ASCII コードに変換するコード変換方式に関する。

〔従来の技術〕

従来、この種のコード変換は、ソフトウェアによって行なっていた(例えば特開昭62-119629)。

〔発明が解決しようとする課題〕

上述した従来のコード変換方式は、ソフトウェアによって行なっていて主記憶上に変換テーブルを持っていたのでコード変換に時間を要するという欠点があった。

本発明の目的は、高速にコード変換を行なうことができるコード変換方式を提供することにある。

〔課題を解決するための手段〕

本発明によれば、ASCII コードを EBCDIC コードに、あるいは、EBCDIC コードを ASCII コードにコ

ド変換するコード変換方式において、EBCDIC コードに変換する場合は、16進数の"FOFO...FO"を設定し、ASCII コードに変換する場合は、16進数の"3F3F...3F"が設定される第1のオペランドレジスタと；主記憶装置よりのコード変換すべきオペランドを格納する第2のオペランドレジスタと；EBCDIC コードに変換する場合は、前記第1のオペランドレジスタの内容と前記第2のオペランドレジスタの内容との論理和を演算し、ASCII コードに変換する場合は、前記第1のオペランドレジスタの内容と前記第2のオペランドレジスタの内容との論理積を演算する演算器と；該演算器の演算結果を格納する第3のオペランドレジスタと；前記第2のオペランドレジスタの各バイトが10進数のデータかどうかを判断し、EBCDIC コードに変換する場合には16進数の"30"から"39"の値のときのみ、前記バイトに対応したフラグを論理値"1"に設定し、ASCII コードに変換する場合には16進数の"F0"から"F9"の値のときのみ、前記バイトに対応し

たフラグを論理値"1"に設定する手段と；ASCII コードを EBCDIC コードに変換するテーブル、又は EBCDIC コードを ASCII コードに変換するテーブルを予め記憶しておくランダムアクセスメモリとを有し、前記フラグがどれか一つでも論理値"0"の場合、論理値"0"のフラグに対応した前記第2のオペランドレジスタのバイトにより、前記ランダムアクセスメモリのアドレスを選択してコード変換した出力をバイト単位で前記第3のオペランドレジスタに格納することを特徴とする高速コード変換方式が得られる。

〔実施例〕

次に本発明について図面を参照して説明する。

まず、ASCII コードと EBCDIC コードとについて説明する。

10進数の0から9は、ASCII コードでは、16進数の"30"から"39"で表わされるのに対して、EBCDIC コードでは、16進数の"F0"から"F9"で表わされる。従って、ASCII コードが10進数データ(数字)を表わしている場合、

ASCII コードと16進数データ"F0"との論理和をとれば、EBCDIC コードの数字が得られる。逆に、EBCDIC コードが数字を表わしている場合、EBCDIC コードと16進数データ"3F"との論理積をとれば、ASCII コードの数字が得られる。

第1図は、本発明の一実施例のブロック図である。

以下、ASCII コードを EBCDIC コードに変換する場合について述べる。第1のオペランドレジスタ1にデータバス100を通して16進数データ"F0F0F0F0"(ASCII コードに変換する場合は、16進数の"3F3F3F3F")を設定し、第2のオペランドレジスタ2にデータバス101を通して主記憶装置より ASCII コード(ASCII コードに変換する場合は、EBCDIC コード)のオペランド4バイトを設定する。

次のタイミングで、第1のオペランドレジスタ1の出力バス102のデータと第2のオペランドレジスタ2の出力バス103のデータとを演算器3によって論理和演算(ASCII コードに変換する

場合は、論理積演算)を行ない、その結果をデータバス104によって第3のオペランドレジスタ4に設定する。同時に、第2のオペランドレジスタ2の各バイトが10進数データかどうか判断する手段として、各バイトが16進数の"30"から"39"の値(ASCIIコードに変換する場合は、16進数の"F0"から"F9"の値)かどうかを判断する。その手段として第2のオペランドレジスタ2の各バイトの出力信号105~108の各々と16進数の"30"から"39"のデータ信号(ASCIIコードに変換する場合は、16進数の"30"から"39"のデータ信号)109と比較一致回路5~8により比較一致を行なう。比較一致によって一致すれば各々のフラグ9~12に論理値1がセットされる。

各々のフラグ9~12が全て論理値1ならば、フラグ9~12の出力信号110~113は論理積回路13によって論理積がとられ信号線114が論理値1となる。その結果、第3のオペランドレジスタ4に設定されたデータはEBCDICコードに

変換されたコードとして、(ASCIIコード変換する場合、ASCIIコードに変換されたコードとして)主記憶装置へ信号線115を通して送られる。

また、各フラグ9~12がどれか1つでも論理値0ならば、論理値0に対応するバイトが選択されて、ASCIIコードをEBCDICコードに変換する変換テーブルを初期設定時に記憶したRAM14のアドレスになる。(なお、EBCDICコードをASCIIコードに変換する場合には、RAM14には、初期設定時には、EBCDICコードをASCIIコードに変換する変換テーブルが記憶される。)その結果、RAM14の出力信号116はEBCDICコードに変換されたコードとなり、第3のオペランドレジスタの対応するバイトに設定される。

〔発明の効果〕

以上説明したように本発明は、EBCDICコードをASCIIコード化する処理、又はASCIIコードをEBCDIC化する処理をハードウェア化することにより、コード変換処理を高速化できる効果がある。

以下余白

4. 図面の簡単な説明

第1図は本発明のブロック図である。

1, 2, 4...オペランドレジスタ, 3...演算器,
5, 6, 7, 8...比較一致回路, 9, 10, 11,
12...フラグ, 13...論理積回路, 14...RAM。

代理人 (7783) 弁理士 池田 憲保



